

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150681

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 21/28

H01L 27/115

(21)Application number : 10-325206

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.11.1998

(72)Inventor : AMAMIYA KAZUMI

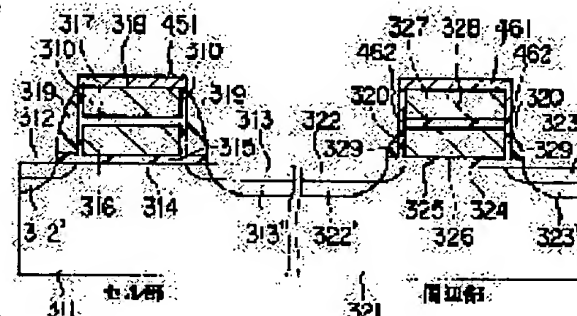
## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize high speed operation by providing an insulated gate transistor of double gate structure where first and second gate electrodes are short-circuited through a silicide compound thereby reducing the resistive component of the gate electrode.

**SOLUTION:** In a cell transistor, a silicide compound 451 is formed on the surface of a control gate electrode (word line) 318 by a silicide process.

In a peripheral transistor, upper part of a gate side wall part 329 formed on the side face of a double gate structure in order to realize an LDD structure is retracted by etching to expose the upper end side wall of a first gate electrode 326 and then a silicide process is effected to form a silicide compound 461 on the exposed surface of the double gate structure. Since the first gate electrode 326 is partially silicidized and short-circuited on the surface and beneath a second gate electrode 328, a peripheral transistor of double gate structure having high operating speed can be realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] The semiconductor device characterized by providing the insulated-gate mold transistor of the bilayer gate structure where it was formed on the semi-conductor substrate or the semi-conductor layer, and said semi-conductor substrate or a semi-conductor layer, and short circuit connection of the lower layer 1st gate electrode and the upper 2nd gate electrode was made with the silicide compound.

[Claim 2] It is the semiconductor device characterized by being formed so that said silicide compound may stand in a row on the upper limit section side face of said 1st gate electrode from on the front face of said 2nd gate electrode in a semiconductor device according to claim 1.

[Claim 3] It is the semiconductor device which the lateral portion of the 1st gate electrode and said 2nd gate inter-electrode insulator layer is \*\*\*\*(ing) said insulated-gate mold transistor in a semiconductor device according to claim 2, and is characterized by forming said silicide compound so that the opposed face of the top-face side edge section of said 1st gate electrode and the inferior-surface-of-tongue side edge section of the 2nd gate electrode may stand in a row in the \*\*\*\* part of the lateral portion of said insulator layer.

[Claim 4] The semiconductor device characterized by providing insulated-gate mold run JISUTA of a publication in claim 1 used as the cel transistor of the bilayer gate structure where it is used as a non-volatile memory cell, and a transistor of the circumference circuit field of the array field, on which said cel transistor was accumulated thru/or any 1 term of 3.

---

[Translation done.]

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] It is used for the nonvolatile memory integrated circuit which has the transistor of the bilayer gate structure Salicide-ized by a non-volatile memory cell array and its circumference circuit about the Salicide structure in the semiconductor device which this invention requires for a semiconductor device, especially has the insulated-gate mold transistor of bilayer gate structure.

[0002]

[Description of the Prior Art] Drawing 4 and drawing 5 are the sectional views showing the conventional examples 1 and 2 of the cel transistor of the cel array field in nonvolatile memory, and the circumference transistor of a circumference circuit field. It sets to the nonvolatile memory shown in drawing 4 , and is the semi-conductor substrate (or semi-conductor layer) 111 of a memory cell array field. A cel transistor is formed upwards and it is the semi-conductor substrate (or semi-conductor layer) 121 of a circumference circuit field. The circumference transistor is formed upwards.

[0003] in this case, said cel transistor -- said semi-conductor substrate (or semi-conductor layer) 111 Gate dielectric film (thin tunnel insulator layer) 114 formed on the channel field this gate dielectric film 114 The 1st gate electrode (floating-gate electrode) 115 formed upwards this 1st gate electrode 115 The 1st interlayer insulation film 116 formed upwards this 1st interlayer insulation film 116 The 2nd gate electrode (control gate electrode) 117 formed upwards It is said semi-conductor substrate (or semi-conductor layer) 111 so that it may face across said channel field. Drain field 112 and source field 113 alternatively formed in the surface section It has and bilayer gate (stack TOGETO) structure is used.

[0004] Moreover, said circumference transistor is said semi-conductor substrate (or semi-conductor layer) 121. Gate dielectric film 124 formed on the channel field This gate dielectric film 124 Gate electrode 125 formed upwards It is said semi-conductor substrate (or semi-conductor layer) 121 so that it may face across said channel field. Drain field 122 and source field 123 alternatively formed in the surface section It has and gate structure is used further.

[0005] And control gate electrode 117 of a cel transistor (word line) Upwards, it is the Salicide compound 118. It is formed and is the gate electrode 125 of a circumference transistor. Upwards, it is the Salicide compound 126. It is formed and is the control gate electrode (word line) 117. And reduction-ization of the resistance component of the gate electrode 125 is attained.

[0006] At the nonvolatile memory of drawing 4 , it is the control gate electrode (word line) 117 of a cel transistor. Gate electrode 125 of a circumference transistor It is possible to perform Salicide-ization to coincidence to a memory cell array field and a circumference circuit field.

[0007] However, since the gate structures of a cel transistor and the transistor of a circumference circuit differ and the height of a cel transistor and the transistor of a circumference circuit differs, it is difficult to deposit an interlayer insulation film on these and to carry out flattening by chemical mechanical polishing (CMP).

[0008] Therefore, it is necessary to process PEP (photo-etching process), exposure, etc. separately to a memory cell array field and a circumference circuit field in a next process, the increment in a routing counter is imitated, and trouble arises in processing of contact opening etc. with \*\*.

[0009] On the other hand, in the nonvolatile memory shown in drawing 5 , the transistor of the same bilayer gate (stack TOGETO) structure as drawing 4 is used for the cel transistor of a memory cell array, and the transistor of bilayer gate structure is used also for the transistor of a circumference circuit.

[0010] In addition, the inside of drawing 5 and 211 The semi-conductor substrate of a memory cell array field (or semi-conductor layer), 221 The semi-conductor substrate (or semi-conductor layer) of a circumference circuit field, and 214 Gate dielectric film formed on the channel field of a cel transistor (thin tunnel insulator layer), 215 The above-mentioned gate dielectric film 214 The 1st gate electrode formed upwards (floating-gate electrode), 216 The above-mentioned 1st gate electrode 215 The 1st interlayer insulation film formed upwards, 217 The 1st interlayer insulation film 216 of the above The 2nd gate electrode formed upwards (control gate electrode), 218 The above-mentioned control gate electrode 217 (word line) The Salicide compound and 212 which were formed upwards And 213 It is the drain field and source field which were alternatively formed in the surface section of said semi-conductor substrate (or semi-conductor layer) 211 so that it might face across said channel field.

[0011] Moreover, 224 Gate dielectric film formed on the channel field of a circumference transistor, 225 The above-mentioned gate dielectric film 224 The 1st gate electrode formed upwards, 226 The above-mentioned 1st gate electrode 225 The 1st interlayer insulation film formed upwards, 227 The 1st interlayer insulation film 226 of

the above The 2nd gate electrode formed upwards, 228 The above-mentioned 2nd gate electrode 227 The Salicide compound and 222 which were formed upwards And 223 It is said semi-conductor substrate (or semi-conductor layer) 221 so that it may face across said channel field. It is the drain field and source field which were alternatively formed in the surface section.

[0012] It is easy to deposit an interlayer insulation film on these and to carry out flattening by CMP at the nonvolatile memory of drawing 5 , since the gate structure of a cel transistor and the transistor of a circumference circuit is the same and the height of a cel transistor and the transistor of a circumference circuit is the same.

[0013] Therefore, since it becomes possible to process PEP, exposure, etc. to coincidence to a memory cell array field and a circumference circuit field in a next process, there is no loam Lycium chinense and trouble does not produce the increment in a routing counter in processing of contact opening etc.

[0014] Moreover, formation of the gate structure of the nonvolatile memory shown in drawing 5 is faced, and it is the floating-gate electrode 215 of a cel transistor. And the 1st (lower layer side) gate electrode 225 of a circumference transistor Interlayer insulation film 216 of a cel transistor after forming in coincidence And interlayer insulation film 226 of a circumference transistor It forms in coincidence and is the control gate electrode (word line) 217 of a cel transistor further. And the 2nd (upper layer side) gate electrode 227 of a circumference transistor It forms in coincidence.

[0015] However, control gate electrode 217 of a next and cel transistor (word line) It is the 2nd gate electrode 227 of a circumference transistor at the same time it performs Salicide-ization. It is the 1st gate electrode 225 of a circumference transistor to coincidence to perform Salicide-ization, although it is possible. Since it is impossible, it is disadvantageous to perform Salicide-ization, when reducing the resistance component of the gate electrode of a circumference transistor, and improvement in the speed of actuation of a circumference transistor is difficult for it.

[0016] Moreover, at the nonvolatile memory shown in drawing 5 , it is the 2nd gate electrode 227 of a circumference transistor. After Salicide-izing The 1st gate electrode 225 of a circumference transistor It is the 1st gate electrode 225 in order to impress control potential. The process which takes contact to wiring (not shown), Or the 1st gate electrode 225 The 2nd gate electrode 227 Short circuit connection is made and it is the 2nd gate electrode 227. Since the process which takes contact to wiring (not shown) for impressing control potential is needed, a routing counter increases and a manufacturing cost becomes high.

[0017]

[Problem(s) to be Solved by the Invention] As having described above, when contact is taken to the lower layer 1st gate electrode, the transistor of the bilayer gate structure which consists of the 2nd gate electrode of the upper layer Salicide-ized with the lower layer 1st gate electrode in the circumference circuit field of nonvolatile memory etc. is disadvantageous, when the lower layer 1st gate electrode is not Salicide-ized but the resistance component of a gate electrode is reduced, and has the trouble that improvement in the speed of operation is difficult. Or since the process which makes short circuit connection of the 1st gate electrode and the 2nd gate electrode was needed after the Salicide chemically-modified [ of the 2nd gate electrode ] degree, the routing counter increased and there was a trouble that a manufacturing cost became high.

[0018] It was made that this invention should solve the above-mentioned trouble, and has the insulated-gate mold transistor of bilayer gate structure, the resistance component of a gate electrode can be reduced, and improvement in the speed of operation aims at offering the semiconductor device which becomes possible, controls the number of production processes, and can reduce a manufacturing cost.

[0019]

[Means for Solving the Problem] The semiconductor device of this invention is formed on a semi-conductor substrate or a semi-conductor layer, and said semi-conductor substrate or a semi-conductor layer, and is characterized by providing the insulated-gate mold transistor of the bilayer gate structure where short circuit connection of the lower layer 1st gate electrode and the upper 2nd gate electrode was made with the silicide compound.

[0020]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0021] The formation process of the cel transistor of the cel array field of the nonvolatile memory concerning the <example 1> example 1 and the circumference transistor of a circumference circuit field is described briefly, referring to drawing 1 and drawing 2 .

[0022] First, as shown in drawing 1 , the bilayer gate structure of the cel transistor of the nMOS mold of bilayer

gate structure and a circumference transistor is formed on a p mold Si substrate.

[0023] Here, it is 311. The substrate of a cel array field, and 314 The channel field of a cel transistor, and 315 The gate dielectric film on the above-mentioned channel field front face, and 316 The 1st gate electrode on the above-mentioned gate dielectric film (lower floating-gate electrode), and 317 The 1st interlayer insulation film on the above-mentioned floating-gate electrode, and 318 The 2nd gate electrode on the 1st interlayer insulation film of the above (upper control gate electrode), and 310 It is a back oxide film.

[0024] In this case, control gate electrode 318 of a cel transistor It is a part of word line continuously formed so that it might stand in a row in the control gate electrode of other cel transistors of the same line of a cel array field.

[0025] Moreover, 321 The substrate of a circumference circuit field, and 324 The channel field of a circumference transistor, and 325 The gate dielectric film on the above-mentioned channel field front face, and 326 The 1st gate electrode on the above-mentioned gate dielectric film (lower gate electrode), and 327 The 1st interlayer insulation film on the above-mentioned 1st gate electrode, and 328 The 2nd gate electrode on the 1st interlayer insulation film of the above (upper gate electrode), and 320 It is a back oxide film.

[0026] In this case, the gate electrode 326 of a circumference transistor and 328 When the gate electrode of other circumference transistors is what is chosen independently, it is formed according to an individual, but when it is what is chosen as other gate electrodes and coincidence of a circumference transistor, it is continuously formed so that it may stand in a row mutually.

[0027] In addition, said each gate electrode 316, 318, 326, and 328 For example, Polycrystal Si is used and an impurity is doped.

[0028] moreover, said cel transistor -- not only a p mold Si substrate top but the p type semiconductor layer (p well field) top for cel arrays -- you may form -- a circumference transistor -- p -- a well or n -- a well -- you may form on a field.

[0029] Then, they are the semi-conductor substrates (or semi-conductor layer) 311 and 321, using bilayer gate structure as a mask. The shallow diffusion layer 312 which becomes the surface section with a source drain diffusion layer, 313, 322, and 323 It forms.

[0030] furthermore, the lateral portion of bilayer gate structure -- the gate side-attachment-wall section 319 and 329 forming -- this gate side-attachment-wall section 319 and 329 and bilayer gate structure -- a mask -- carrying out -- the semi-conductor substrate (or semi-conductor layer) 311 and 321 a surface -- the section -- the source -- a drain -- a diffusion layer -- becoming -- being deep -- a diffusion layer -- 312 -- ' -- 313 -- ' -- 322 -- ' -- 323 -- ' -- forming -- things -- LDD structure -- obtaining .

[0031] In addition, gate dielectric film 325 of the above-mentioned circumference transistor And it is not necessary to form LDD structure completely similarly to the gate dielectric film (thin tunnel insulator layer) 315 of a cel transistor, and LDD structure, and it may be formed according to another process.

[0032] Thus, after forming LDD structure, the mask of the field of a cel transistor is carried out, and it is the gate side-attachment-wall section 329 of a circumference transistor in anisotropic etching (reactive ion etching), for example, RIE. And back oxide film 320 of the inside Etching removal of the top-face section is carried out, and it is the 1st gate electrode 326 of a circumference transistor. An upper limit section side face is exposed.

[0033] In addition, the 1st gate electrode 326 of a circumference transistor The process at which an upper limit section side face is exposed may be performed but [ not after formation of LDD structure which was described above ] before formation of LDD structure. In this case, it is the back oxide film 320 to the side face of bilayer gate structure. After forming, SiN for the gate side-attachment-wall sections is deposited on the whole surface, and it is the gate side-attachment-wall section 319 and 329 to the lateral portion of bilayer gate structure by anisotropic etching. It removes so that it may leave, and it is the gate side-attachment-wall section 319 of the request by the cel transistor side. Anisotropic etching is interrupted when formed. Furthermore, the mask of the field of a cel transistor is carried out, and it carries out by continuing the anisotropic etching to the field of a circumference transistor succeedingly, and is the 1st gate electrode 326 of a circumference transistor. It is the gate side-attachment-wall section 329 until an upper limit section side face is exposed. When it retreats, you may make it end anisotropic etching.

[0034] Next, the wet etching using NH<sub>4</sub>F as pretreatment of the Salicide process removes the oxide film of Si substrate front face. Then, in order to form Ti silicide compound, for example, Ti (titanium)/TiN (titanium nitride) is deposited as a refractory metal.

[0035] Then, N<sub>2</sub> By performing heat treatment predetermined in the inside of an ambient atmosphere, as shown in drawing 2 , it is the 2nd gate electrode 318 of a cel transistor. It is TiSi<sub>2</sub> 451 on a front face. While being

formed, it is the 2nd gate electrode 328 of a circumference transistor. A front-face top and the 1st gate electrode 326 It is TiSi<sub>2</sub> 461 on an exposure front face (upper limit section side face). It is formed. moreover -- the source -- a drain -- a diffusion layer -- becoming -- being deep -- a diffusion layer -- 312 -- ' -- 313 -- ' -- 322 -- ' -- 323 -- ' -- a top -- TiSi -- two (not shown) -- forming -- having .

[0036] In this case, the 1st interlayer insulation film 327 of a circumference transistor A front face (lateral portion 462) Although it originally does not react to Ti, it is the 1st interlayer insulation film 327. It is thin (for example, 20nm or less) one. the 2nd gate electrode 328 of a circumference transistor TiSi<sub>2</sub> 461 of a front face The 1st gate electrode 326 TiSi<sub>2</sub> 461 of the front face of an upper limit section side face it stands in a row (it connects electrically) -- like -- TiSi<sub>2</sub> 461 It is formed.

[0037] Then, the SiN side attachment wall 319 which remains by removing Ti (Ti on a SiN side attachment wall being included) with unreacted Si by the inside of the mixed liquor of a sulfuric acid and hydrogen peroxide solution and 329 Short-circuit of a gate electrode and a source drain diffusion layer is prevented. Furthermore, N<sub>2</sub> Said TiSi<sub>2</sub> 451 and 461 are formed into low resistance by performing heat treatment predetermined in the inside of an ambient atmosphere.

[0038] then, the 2nd interlayer insulation film (for example, SiO<sub>2</sub> the film / BPSG film) -- LP(reduced pressure)-CVD (vapor growth) -- it deposits by law -- making -- CMP chemical mechanical polish (Chemical Mechanical Polishing;CMP) -- flattening is performed by law. Then, in order to form the contact section of a source drain diffusion layer, the resist pattern for contact hole formation is formed in the 2nd interlayer insulation film by the photo-etching method, and opening of the contact hole is carried out by etching the 2nd interlayer insulation film by anisotropic etching.

[0039] Next, Ti film (not shown) is made to deposit all over carrying out sputtering of Ti, for example, and the pars basilaris ossis occipitalis of said contact hole being included, and it is N<sub>2</sub>. Heat treatment predetermined in the inside of an ambient atmosphere is performed, and TiN is formed in the front face of said Ti film.

[0040] Then, in order to embed W (tungsten) at contact hole opening and to form a contact plug, after making W deposit on the whole surface with a CVD method, W on the 2nd interlayer insulation film is removed by the CMP method.

[0041] Then, AlCu (aluminum kappa) and Ti/TiN are made to deposit, a resist pattern (not shown) is formed by the photo-etching method, and wiring is formed by anisotropic etching by making this into a mask.

[0042] The nMOS transistor of the bilayer gate structure where the nonvolatile memory concerning the example 1 shown in drawing 2 formed as described above has LDD (Rheydt Lee doped drain) structure and the Salicide structure in the cel transistor and circumference transistor of a cel array field, respectively is used.

[0043] And a cel transistor is the control gate electrode (word line) 318 by the Salicide process. It is the silicide compound 451 on a front face. It is formed.

[0044] Moreover, a circumference transistor is the gate side-attachment-wall section 329 formed in the lateral portion of bilayer gate structure in order to realize LDD structure. Etching retreat of the upper part is carried out, and it is the 1st gate electrode 326. The Salicide process is performed after an upper limit section side face is exposed. It is the silicide compound 461 on the exposure of bilayer gate structure (on the upper limit section side face of the front face of the 2nd gate electrode 328 to the 1st gate electrode 326). It is formed.

[0045] therefore, the circumference transistor of bilayer gate structure -- the 2nd gate electrode 328 A front-face top and the lower layer 1st gate electrode 326 a part (on an upper limit section side face) -- Salicide -- since were-izing and it has connected too hastily, it is possible to attain improvement in the speed of operation.

[0046] And the circumference transistor of bilayer gate structure The 2nd gate electrode 328 It is the 1st gate electrode 326 to coincidence at the time of a Salicide chemically-modified degree. A part (on an upper limit section side face) is Salicide-ized, and it is the 2nd gate electrode 328. The 1st gate electrode 326 Silicide compound 461 Since short circuit connection is made The 2nd gate electrode 328 It is the 1st gate electrode 326 after a Salicide chemically-modified degree. The 2nd gate electrode 328 The process which makes short circuit connection is not needed, but the increment in the number of formation processes of a circumference transistor is controlled, and it becomes possible to attain reduction-ization of a manufacturing cost.

[0047] Furthermore, the 2nd gate electrode 318 of the cel transistor of bilayer gate structure The 2nd gate electrode 328 of the circumference transistor of bilayer gate structure And the 1st gate electrode 326 Since it becomes possible to Salicide-ize a part (on an upper limit section side face) to coincidence, the increment in the number of production processes of nonvolatile memory is controlled, and it becomes possible to attain reduction-ization of a manufacturing cost.

[0048] <Example 2> ( drawing 3 )

In the example 2, in case wet etching removes the oxide film of Si substrate front face as pretreatment of the



Salicide process compared with an example 1, by performing exaggerated etching, as shown in drawing 3 The gate electrode 326 of a circumference transistor, and 328 The 1st interlayer insulation film 327 of a between It is the 1st gate electrode 326 in the part made to \*\*\*\* a little lateral portion. The top-face side edge section and the 2nd gate electrode 328 The points at which an opposed face with the inferior-surface-of-tongue side edge section is exposed differ, and since others are the same In drawing 3, the same sign is given to the same part as the inside of drawing 1 and drawing 2.

[0049] N2 as described above, after depositing Ti/TiN like an example 1 in the condition of having pretreated By performing heat treatment predetermined in the inside of an ambient atmosphere The 2nd gate electrode 318 of a cel transistor It is TiSi2 551 on a front face. It is the 2nd gate electrode 328 of a circumference transistor at the same time it is formed. A front-face top and the 1st gate electrode 326 It is TiSi2 561 on an exposure front face (upper limit section side face). It is formed. Moreover, TiSi2 (not shown) is formed also on a source drain diffusion layer and the becoming deep diffusion layer.

[0050] In this case, the 1st gate electrode 326 of the circumference transistor mentioned above The top-face side edge section and the 2nd gate electrode 328 The exposure of the inferior-surface-of-tongue side edge section is also TiSi2 562 by the reaction of a polycrystal silicon-gate electrode and Ti. It is formed.

[0051] Thereby, it is said 1st interlayer insulation film 327. It is the 1st gate electrode 326 in the part into which the lateral portion became depressed. The top-face side edge section and the 2nd gate electrode 328 It is said silicide compound 562 so that an opposed face with the inferior-surface-of-tongue side edge section may stand in a row. It is formed. The 2nd gate electrode 328 of a circumference transistor TiSi2 561 of a front face The 1st gate electrode 326 TiSi2 561 of the front face of an upper limit section side face It stands in a row. Then, Si removes unreacted Ti and is N2 further. By performing heat treatment predetermined in the inside of an ambient atmosphere, it is said TiSi2. Low resistance is formed. Also in the nonvolatile memory of the above-mentioned example 2, the same effectiveness as the nonvolatile memory of said example 1 is acquired.

[0052] In addition, although said example 1 explained the transistor with Ti Salicide structure, this invention can be applied also to a transistor with the Salicide structure of refractory metals other than Ti, such as Co, Pt, and nickel.

[0053] Moreover, since it may react to refractory metals other than Ti in case the silicide compound of refractory metals other than Ti is formed although it is suitable for formation of Ti Salicide structure, it replaces with the SiN side-attachment-wall section in this case, and the SiN side-attachment-wall section is SiO2. It is desirable to form the side-attachment-wall section.

[0054] Moreover, in said examples 1 and 2, although the case where a silicide compound layer is formed also on the deep diffusion layer for source drains has been described, also when not forming a silicide compound layer on the deep diffusion layer for source drains, it is possible to apply this invention.

[0055] In addition, this invention is formed not only the nonvolatile memory that has the cel transistor of bilayer gate structure like the above-mentioned example but on a semi-conductor substrate or a semi-conductor layer, and can be applied to the semiconductor device which has the insulated-gate mold transistor of the bilayer gate structure where short circuit connection of the upper 2nd gate electrode and the lower layer 1st gate electrode was made with the silicide compound.

[0056] In more detail the semiconductor device of this invention A semi-conductor substrate or a semi-conductor layer, The gate dielectric film alternatively formed in the front face of said semi-conductor substrate or a semi-conductor layer, The 1st gate electrode formed on said gate dielectric film, and the 1st interlayer insulation film formed on said 1st gate electrode, The silicide compound formed so that it might stand in a row on the upper limit section side face of said 1st gate electrode from on the front face of the 2nd gate electrode formed on said 1st interlayer insulation film, and said 2nd gate electrode, It is characterized by providing the drain source field alternatively formed in the surface section of said semi-conductor substrate or a semi-conductor layer so that it might face across the channel field of the lower part of said 1st gate electrode.

[0057] In this case, the gate side-attachment-wall section is formed in the side face of said 1st gate electrode, and the above-mentioned transistor may have LDD structure.

[0058]

[Effect of the Invention] The resistance component of a gate electrode can be reduced by having the insulated-gate mold transistor of the bilayer gate structure where short circuit connection of the lower layer 1st gate electrode and the upper 2nd gate electrode was made with the silicide compound according to this invention, as mentioned above, improvement in the speed of operation can be attained, the number of production processes can be controlled, and the semiconductor device which can reduce a manufacturing cost can be offered.



---

[Translation done.]

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The sectional view showing a part of example of the formation process of the cel transistor of the cel array field of the nonvolatile memory concerning the example 1 of this invention, and the circumference transistor of a circumference circuit field.

[Drawing 2] The sectional view showing the process following the process of drawing 1 .

[Drawing 3] The sectional view showing the cel transistor of the cel array field of the nonvolatile memory concerning the example 2 of this invention, and the circumference transistor of a circumference circuit field.

[Drawing 4] The sectional view showing the conventional example 1 of the cel transistor of the cel array field in nonvolatile memory, and the circumference transistor of a circumference circuit field.

[Drawing 5] The sectional view showing the conventional example 2 of the cel transistor of the cel array field in nonvolatile memory, and the circumference transistor of a circumference circuit field.

### [Description of Notations]

326 -- 1st Gate Electrode,

327 -- 1st Interlayer Insulation Film,

328 -- 2nd Gate Electrode,

329 -- SiN Side-Attachment-Wall Section,

322', 323' -- Deep diffusion layer for the drain sources,

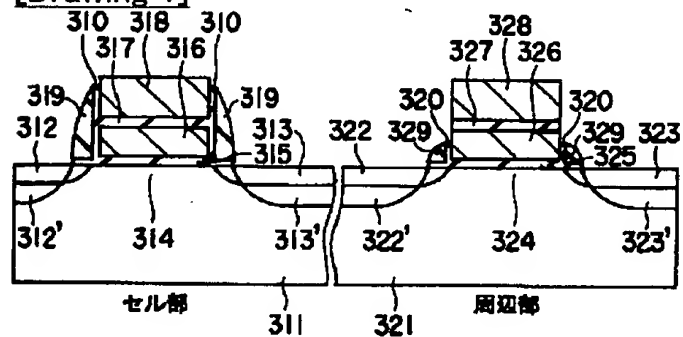
461 -- Ti silicide compound.

---

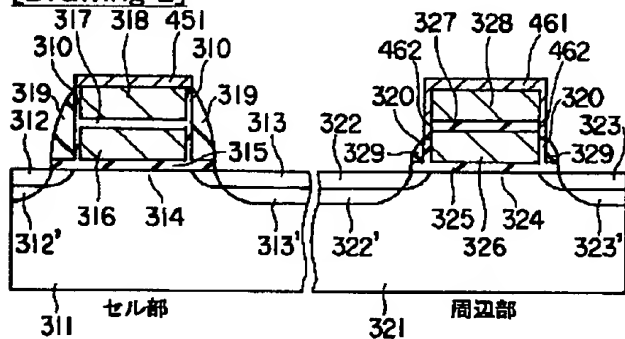
[Translation done.]

## DRAWINGS

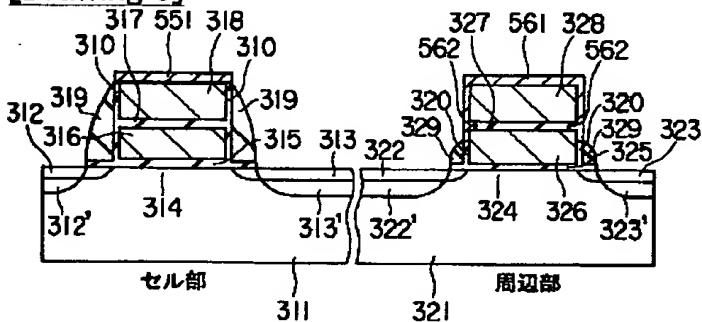
[Drawing 1]



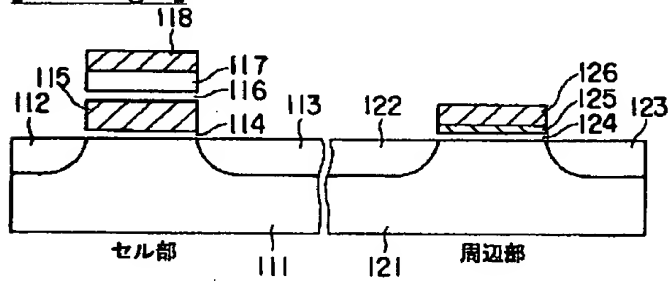
[Drawing 2]



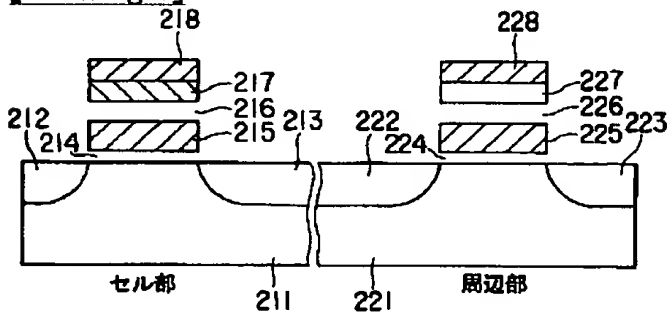
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-150681  
(P2000-150681A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)	
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1	4 M 1 0 4
29/788		21/28	3 0 1 T	5 F 0 0 1
29/792		27/10	4 8 4	5 F 0 8 3
21/28	3 0 1			
27/115				

審査請求 未請求 請求項の数4 O L (全7頁)

(21) 出願番号 特願平10-325208

(22) 出願日 平成10年11月16日 (1998.11.16)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 雨宮 和美

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

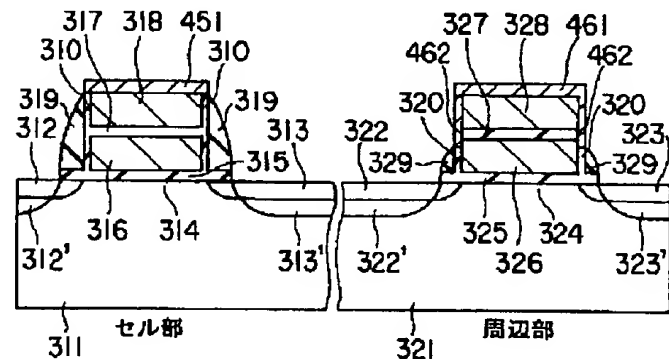
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 二層ゲート構造のMOSトランジスタのゲート電極の抵抗成分を低減し、動作の高速化を可能とし、製造工程数を抑制し、製造コストを低減する。

【解決手段】 半導体基板324上に形成され、下層の第1ゲート電極326と上層の第2ゲート電極328とがシリサイド化合物461により短絡接続された二層ゲート構造のMOSトランジスタを具備する。



## 【特許請求の範囲】

【請求項 1】 半導体基板あるいは半導体層と、前記半導体基板あるいは半導体層上に形成され、下層の第 1 ゲート電極と上層の第 2 ゲート電極とがシリサイド化合物により短絡接続された二層ゲート構造の絶縁ゲート型トランジスタとを具備することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記シリサイド化合物は、前記第 2 ゲート電極の表面上から前記第 1 ゲート電極の上端部側面上まで連なるように形成されていることを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、前記絶縁ゲート型トランジスタは、前記第 1 ゲート電極・第 2 ゲート電極間の絶縁膜の側面部が凹没しており、前記シリサイド化合物は、前記絶縁膜の側面部の凹没部分で前記第 1 ゲート電極の上面側端部と第 2 ゲート電極の下面側端部との対向面が連なるように形成されていることを特徴とする半導体装置。

【請求項 4】 不揮発性メモリセルとして用いられる二層ゲート構造のセルトランジスタと、前記セルトランジスタが集積されたアレイ領域の周辺回路領域のトランジスタとして用いられる請求項 1 乃至 3 のいずれか 1 項に記載の絶縁ゲート型トランジスタとを具備することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特に二層ゲート構造の絶縁ゲート型トランジスタを有する半導体装置におけるサリサイド構造に関するもので、例えば不揮発性メモリセルアレイおよびその周辺回路にサリサイド化された二層ゲート構造のトランジスタを有する不揮発性メモリ集積回路に使用されるものである。

## 【0002】

【従来の技術】図 4 および図 5 は、不揮発性メモリにおけるセルアレイ領域のセルトランジスタおよび周辺回路領域の周辺トランジスタの従来例 1、2 を示す断面図である。図 4 に示す不揮発性メモリにおいて、メモリセルアレイ領域の半導体基板（あるいは半導体層）111 上にセルトランジスタが形成され、周辺回路領域の半導体基板（あるいは半導体層）121 上に周辺トランジスタが形成されている。

【0003】この場合、前記セルトランジスタは、前記半導体基板（あるいは半導体層）111 のチャネル領域上に形成されたゲート絶縁膜（薄いトンネル絶縁膜）114 と、このゲート絶縁膜 114 上に形成された第 1 ゲート電極（浮遊ゲート電極）115 と、この第 1 ゲート電極 115 上に形成された第 1 層間絶縁膜 116 と、この第 1 層間絶縁膜 116 上に形成された第 2 ゲート電極（制御ゲート電極）117 と、前記チャネル領域を挟むように前記半導体

基板（あるいは半導体層）111 の表層部に選択的に形成されたドレイン領域 112 ・ソース領域 113 とを有し、二層ゲート（スタックゲート）構造が用いられている。

【0004】また、前記周辺トランジスタは、前記半導体基板（あるいは半導体層）121 のチャネル領域上に形成されたゲート絶縁膜 124 と、このゲート絶縁膜 124 上に形成されたゲート電極 125 と、前記チャネル領域を挟むように前記半導体基板（あるいは半導体層）121 の表層部に選択的に形成されたドレイン領域 122 ・ソース領域 123 とを有し、一層ゲート構造が用いられている。

【0005】そして、セルトランジスタの制御ゲート電極（ワード線）117 上にはサリサイド化合物 118 が形成され、周辺トランジスタのゲート電極 125 上にはサリサイド化合物 126 が形成され、制御ゲート電極（ワード線）117 およびゲート電極 125 の抵抗成分の低減化が図られている。

【0006】図 4 の不揮発性メモリでは、セルトランジスタの制御ゲート電極（ワード線）117 と周辺トランジスタのゲート電極 125 のサリサイド化を、メモリセルアレイ領域と周辺回路領域に対して同時に行うことが可能である。

【0007】しかし、セルトランジスタと周辺回路のトランジスタのゲート構造が異なり、セルトランジスタと周辺回路のトランジスタの高さが異なるので、これらの上に層間絶縁膜を堆積して化学的機械研磨（CMP）により平坦化することが困難である。

【0008】従って、後の工程においてメモリセルアレイ領域と周辺回路領域に対して別々に PEP（写真蝕刻プロセス）、露光などの処理を行う必要があり、工程数の増加をまねくとともに、コンタクト開口などの加工に支障が生じる。

【0009】一方、図 5 に示す不揮発性メモリにおいては、メモリセルアレイのセルトランジスタには図 4 と同様の二層ゲート（スタックゲート）構造のトランジスタが用いられ、周辺回路のトランジスタにも二層ゲート構造のトランジスタが用いられている。

【0010】なお、図 5 中、211 はメモリセルアレイ領域の半導体基板（あるいは半導体層）、221 は周辺回路領域の半導体基板（あるいは半導体層）、214 はセルトランジスタのチャネル領域上に形成されたゲート絶縁膜（薄いトンネル絶縁膜）、215 は上記ゲート絶縁膜 214 上に形成された第 1 ゲート電極（浮遊ゲート電極）、216 は上記第 1 ゲート電極 215 上に形成された第 1 層間絶縁膜、217 は上記第 1 層間絶縁膜 216 上に形成された第 2 ゲート電極（制御ゲート電極）、218 は上記制御ゲート電極（ワード線）217 上に形成されたサリサイド化合物、212 および 213 は前記チャネル領域を挟むように前記半導体基板（あるいは半導体層）211 の表層部に選択的に形成されたドレイン領域およびソース領域である。

【0011】また、224 は周辺トランジスタのチャネル



領域上に形成されたゲート絶縁膜、225 は上記ゲート絶縁膜224 上に形成された第1ゲート電極、226 は上記第1ゲート電極225 上に形成された第1層間絶縁膜、227 は上記第1層間絶縁膜226 上に形成された第2ゲート電極、228 は上記第2ゲート電極227 上に形成されたサリサイド化合物、222 および223 は前記チャネル領域を挟むように前記半導体基板（あるいは半導体層）221 の表層部に選択的に形成されたドレイン領域およびソース領域である。

【0012】図5の不揮発性メモリでは、セルトランジスタと周辺回路のトランジスタのゲート構造が同じであり、セルトランジスタと周辺回路のトランジスタの高さが同じであるので、これらの上に層間絶縁膜を堆積してCMPにより平坦化することが容易である。

【0013】従って、後の工程においてメモリセルアレイ領域と周辺回路領域に対して同時にPEP、露光などの処理を行うことが可能になるので、工程数の増加をまねくこともなく、コンタクト開口などの加工に支障が生じることもない。

【0014】また、図5に示す不揮発性メモリのゲート構造の形成に際して、セルトランジスタの浮遊ゲート電極215 および周辺トランジスタの第1（下層側）ゲート電極225 を同時に形成した後、セルトランジスタの層間絶縁膜216 および周辺トランジスタの層間絶縁膜226 を同時に形成し、さらに、セルトランジスタの制御ゲート電極（ワード線）217 および周辺トランジスタの第2（上層側）ゲート電極227 を同時に形成する。

【0015】しかし、この後、セルトランジスタの制御ゲート電極（ワード線）217 のサリサイド化を行うと同時に周辺トランジスタの第2ゲート電極227 のサリサイド化を行うことは可能であるが、同時に周辺トランジスタの第1ゲート電極225 のサリサイド化を行うことは不可能であるので、周辺トランジスタのゲート電極の抵抗成分を低減する上で不利であり、周辺トランジスタの動作の高速化が困難である。

【0016】また、図5に示す不揮発性メモリでは、周辺トランジスタの第2ゲート電極227 のサリサイド化の後、周辺トランジスタの第1ゲート電極225 に制御電位を印加するために第1ゲート電極225 に配線（図示せず）とのコンタクトをとる工程、あるいは、第1ゲート電極225 と第2ゲート電極227 とを短絡接続し、第2ゲート電極227 に制御電位を印加するための配線（図示せず）とのコンタクトをとる工程を必要とするので、工程数が増加し、製造コストが高くなる。

【0017】

【発明が解決しようとする課題】上記したように不揮発性メモリの周辺回路領域等においては、下層の第1ゲート電極とサリサイド化された上層の第2ゲート電極とからなる二層ゲート構造のトランジスタは、下層の第1ゲート電極にコンタクトをとった場合、下層の第1ゲート

電極がサリサイド化されておらず、ゲート電極の抵抗成分を低減する上で不利であり、動作の高速化が困難であるという問題点がある。あるいは、第2ゲート電極のサリサイド化工程の後に第1ゲート電極と第2ゲート電極とを短絡接続する工程を必要とするので、工程数が増加し、製造コストが高くなるという問題点があった。

【0018】本発明は上記の問題点を解決すべくなされたもので、二層ゲート構造の絶縁ゲート型トランジスタを有し、ゲート電極の抵抗成分を低減でき、動作の高速化が可能になり、製造工程数を抑制し、製造コストを低減し得る半導体装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体装置は、半導体基板あるいは半導体層と、前記半導体基板あるいは半導体層上に形成され、下層の第1ゲート電極と上層の第2ゲート電極とがサリサイド化合物により短絡接続された二層ゲート構造の絶縁ゲート型トランジスタとを具備することを特徴とする。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0021】＜実施例1＞実施例1に係る不揮発性メモリのセルアレイ領域のセルトランジスタおよび周辺回路領域の周辺トランジスタの形成工程について、図1および図2を参照しながら簡単に述べる。

【0022】まず、図1に示すように、例えばp型Si基板上に二層ゲート構造のnMOS型のセルトランジスタおよび周辺トランジスタの二層ゲート構造を形成する。

【0023】ここで、311 はセルアレイ領域の基板、314 はセルトランジスタのチャネル領域、315 は上記チャネル領域表面上のゲート絶縁膜、316 は上記ゲート絶縁膜上の第1ゲート電極（下側の浮遊ゲート電極）、317 は上記浮遊ゲート電極上の第1層間絶縁膜、318 は上記第1層間絶縁膜上の第2ゲート電極（上側の制御ゲート電極）、310 は後酸化膜である。

【0024】この場合、セルトランジスタの制御ゲート電極318 は、セルアレイ領域の同一行の他のセルトランジスタの制御ゲート電極に連なるように連続的に形成されたワード線の一部である。

【0025】また、321 は周辺回路領域の基板、324 は周辺トランジスタのチャネル領域、325 は上記チャネル領域表面上のゲート絶縁膜、326 は上記ゲート絶縁膜上の第1ゲート電極（下側のゲート電極）、327 は上記第1ゲート電極上の第1層間絶縁膜、328 は上記第1層間絶縁膜上の第2ゲート電極（上側のゲート電極）、320 は後酸化膜である。

【0026】この場合、周辺トランジスタのゲート電極326、328 は、他の周辺トランジスタのゲート電極とは独立に選択されるものである場合には個別に形成される

が、他の周辺トランジスタのゲート電極と同時に選択されるものである場合には互いに連なるように連続的に形成される。

【0027】なお、前記各ゲート電極316、318、326、328は、例えば多結晶Siが用いられ、不純物がドーピングされる。

【0028】また、前記セルトランジスタは、p型Si基板に限らず、セルアレイ用のp型半導体層(pウェル領域)上に形成してもよく、周辺トランジスタもpウェルあるいはnウェル領域上に形成してもよい。

【0029】この後、二層ゲート構造をマスクとして半導体基板(あるいは半導体層)311、321の表層部にソース・ドレイン拡散層となる浅い拡散層312、313、322、323を形成する。

【0030】さらに、二層ゲート構造の側面部にゲート側壁部319、329を形成し、このゲート側壁部319、329および二層ゲート構造をマスクとして半導体基板(あるいは半導体層)311、321の表層部にソース・ドレイン拡散層となる深い拡散層312'、313'、322'、323'を形成することにより、LDD構造を得る。

【0031】なお、上記周辺トランジスタのゲート絶縁膜325およびLDD構造は、セルトランジスタのゲート絶縁膜(薄いトンネル絶縁膜)315、LDD構造と全く同じに形成する必要はなく、別工程により形成してもよい。

【0032】このようにLDD構造を形成した後、セルトランジスタの領域をマスクして、異方性エッチング、例えばRIE(反応性イオンエッチング)により周辺トランジスタのゲート側壁部329およびその内側の後酸化膜320の上面部をエッチング除去して周辺トランジスタの第1ゲート電極326の上端部側面を露出させる。

【0033】なお、周辺トランジスタの第1ゲート電極326の上端部側面を露出させる工程は、上記したようなLDD構造の形成後ではなく、LDD構造の形成前に行ってもよい。この場合、二層ゲート構造の側面に後酸化膜320を形成した後、全面にゲート側壁部用の例えばSiNを堆積し、異方性エッチングにより二層ゲート構造の側面部にゲート側壁部319、329を残すように除去し、セルトランジスタ側で所望のゲート側壁部319が形成された時点で異方性エッチングを中断する。さらに、セルトランジスタの領域をマスクして、引き続き、周辺トランジスタの領域に対する異方性エッチングを継続して行い、周辺トランジスタの第1ゲート電極326の上端部側面が露出するまでゲート側壁部329が後退した時点で異方性エッチングを終了するようにしてもよい。

【0034】次に、サリサイド工程の前処理として、Si基板表面の酸化膜を例えば $\text{NH}_4\text{F}$ を用いたウェットエッチングにより除去する。この後、例えばTiシリサイド化合物を形成するために、高融点金属としてTi(チタン)/TiN(窒化チタン)を堆積する。

【0035】この後、 $\text{N}_2$ 雰囲気中で所定の熱処理を行うことにより、図2に示すように、セルトランジスタの第2ゲート電極318の表面上に $\text{TiSi}_2$ 451が形成されるとともに、周辺トランジスタの第2ゲート電極328の表面上および第1ゲート電極326の露出表面(上端部側面)上に $\text{TiSi}_2$ 461が形成される。また、ソース・ドレイン拡散層となる深い拡散層312'、313'、322'、323'上にも $\text{TiSi}_2$ (図示せず)が形成される。

【0036】この場合、周辺トランジスタの第1層間絶縁膜327の表面(側面部462)は、本来はTiに反応しないが、第1層間絶縁膜327が薄い(例えば20nm以下)ので、周辺トランジスタの第2ゲート電極328の表面の $\text{TiSi}_2$ 461と第1ゲート電極326の上端部側面の表面の $\text{TiSi}_2$ 461とが連なる(電氣的に接続される)ように $\text{TiSi}_2$ 461が形成される。

【0037】この後、硫酸、過酸化水素水の混合液中によりSiとは未反応のTi(SiN側壁上のTiを含む)を除去することにより、残存しているSiN側壁319、329により、ゲート電極とソース・ドレイン拡散層のショートが防止される。さらに、 $\text{N}_2$ 雰囲気中で所定の熱処理を行うことにより、前記 $\text{TiSi}_2$ 451、461を低抵抗化する。

【0038】この後、第2層間絶縁膜(例えば $\text{SiO}_2$ 膜/BPSG膜)をLP(減圧)-CVD(気相成長)法により堆積させ、CMP(化学的機械的研磨(Chemical Mechanical Polishing; CMP)法により平坦化を行う。この後、ソース・ドレイン拡散層のコンタクト部を形成するために第2層間絶縁膜に写真蝕刻法によりコンタクトホール形成用のレジストパターンを形成し、異方性エッチングにより第2層間絶縁膜をエッチングすることによりコンタクトホールを開口する。

【0039】次に、例えばTiをスパッタリングさせて前記コンタクトホールの底部を含む全面にTi膜(図示せず)を堆積させ、 $\text{N}_2$ 雰囲気中で所定の熱処理を行い、前記Ti膜の表面にTiNを形成する。

【0040】この後、コンタクトホール開口部にW(タングステン)を埋め込んでコンタクトプラグを形成するために、CVD法により全面にWを堆積させた後、CMP法により第2層間絶縁膜上のWを除去する。

【0041】その後、AlCu(アルミニウム・銅)、Ti/TiNを堆積させ、写真蝕刻法によりレジストパターン(図示せず)を形成し、これをマスクとして異方性エッチングにより配線を形成する。

【0042】上記したように形成された図2に示す実施例1に係る不揮発性メモリは、セルアレイ領域のセルトランジスタおよび周辺トランジスタにそれぞれLDD(ライトリー・ドーフト・ドレイン)構造およびサリサイド構造をもつ二層ゲート構造のnMOSトランジスタが用いられている。

【0043】そして、セルトランジスタは、サリサイド

工程により制御ゲート電極（ワード線）318 の表面上にシリサイド化合物451 が形成されている。

【0044】また、周辺トランジスタは、LDD構造を実現するために二層ゲート構造の側面部に形成されたゲート側壁部329 の上部がエッチング後退されて第1ゲート電極326 の上端部側面が露出された後にサリサイド工程が行われ、二層ゲート構造の露出面上（第2ゲート電極328 の表面から第1ゲート電極326 の上端部側面上）にシリサイド化合物461 が形成されている。

【0045】従って、二層ゲート構造の周辺トランジスタは、第2ゲート電極328 の表面上および下層の第1ゲート電極326 の一部（上端部側面上）がサリサイド化されかつ短絡しているため、動作の高速化を図ることが可能である。

【0046】しかも、二層ゲート構造の周辺トランジスタは、第2ゲート電極328 のサリサイド化工程時に同時に第1ゲート電極326 の一部（上端部側面上）がサリサイド化されて第2ゲート電極328 と第1ゲート電極326 とがシリサイド化合物461 により短絡接続されているので、第2ゲート電極328 のサリサイド化工程の後に第1ゲート電極326 と第2ゲート電極328 とを短絡接続する工程を必要とせず、周辺トランジスタの形成工程数の増加を抑制し、製造コストの低減化を図ることが可能になる。

【0047】さらに、二層ゲート構造のセルトランジスタの第2ゲート電極318 と二層ゲート構造の周辺トランジスタの第2ゲート電極328 および第1ゲート電極326 の一部（上端部側面上）を同時にサリサイド化することが可能になるため、不揮発性メモリの製造工程数の増加を抑制し、製造コストの低減化を図ることが可能になる。

#### 【0048】＜実施例2＞（図3）

実施例2では、実施例1と比べて、サリサイド工程の前処理として、Si基板表面の酸化膜をウェットエッチングにより除去する際、図3に示すようにオーバエッチングを行うことにより、周辺トランジスタのゲート電極326、328 間の第1層間絶縁膜327 の側面部を少し凹没させた部分で第1ゲート電極326 の上面側端部と第2ゲート電極328 の下面側端部との対向面を露出させる点が異なり、その他は同じであるため、図3において図1中、図2中と同一部分には同一符号を付している。

【0049】上記したように前処理を行った状態で、実施例1と同様に、例えばTi/TiNを堆積した後、N<sub>2</sub> 雰囲気中で所定の熱処理を行うことにより、セルトランジスタの第2ゲート電極318 の表面上にTiSi<sub>2</sub> 551 が形成されると同時に周辺トランジスタの第2ゲート電極328 の表面上および第1ゲート電極326 の露出表面（上端部側面）上にTiSi<sub>2</sub> 561 が形成される。また、ソース・ドレイン拡散層となる深い拡散層上にもTiSi<sub>2</sub>（図示せず）が形成される。

【0050】この場合、前述した周辺トランジスタの第1ゲート電極326 の上面側端部と第2ゲート電極328 の下面側端部の露出面でも多結晶シリコンゲート電極とTiとの反応によりTiSi<sub>2</sub> 562 が形成される。

【0051】これにより、前記第1層間絶縁膜327 の側面部がくぼんだ部分で第1ゲート電極326 の上面側端部と第2ゲート電極328 の下面側端部との対向面が連なるように前記シリサイド化合物562 が形成され、周辺トランジスタの第2ゲート電極328 の表面のTiSi<sub>2</sub> 561 と第1ゲート電極326 の上端部側面の表面のTiSi<sub>2</sub> 561 とが連なる。この後、Siとは未反応のTiを除去し、さらに、N<sub>2</sub> 雰囲気中で所定の熱処理を行うことにより、前記TiSi<sub>2</sub> を低抵抗化する。上記実施例2の不揮発性メモリにおいても、前記実施例1の不揮発性メモリと同様の効果が得られる。

【0052】なお、前記実施例1ではTiサリサイド構造を持つトランジスタを説明したが、本発明は、Ti以外のCo、Pt、Ni等の高融点金属のサリサイド構造を持つトランジスタにも適用することが可能である。

【0053】また、SiN側壁部はTiサリサイド構造の形成には適しているが、Ti以外の高融点金属のシリサイド化合物を形成する際にTi以外の高融点金属に反応する場合があるので、この場合にはSiN側壁部に代えてSiO<sub>2</sub> 側壁部を形成することが望ましい。

【0054】また、前記実施例1、2においては、ソース・ドレイン用の深い拡散層上にもシリサイド化合物層を形成する場合について述べてきたが、ソース・ドレイン用の深い拡散層上にはシリサイド化合物層を形成しない場合にも本発明を適用することが可能である。

【0055】なお、本発明は、上記実施例のような二層ゲート構造のセルトランジスタを有する不揮発性メモリに限らず、半導体基板あるいは半導体層上に形成され、上層の第2ゲート電極と下層の第1ゲート電極とがシリサイド化合物により短絡接続された二層ゲート構造の絶縁ゲート型トランジスタを有する半導体装置に適用することができる。

【0056】より詳しくは、本発明の半導体装置は、半導体基板あるいは半導体層と、前記半導体基板あるいは半導体層の表面に選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された第1ゲート電極と、前記第1ゲート電極上に形成された第1層間絶縁膜と、前記第1層間絶縁膜上に形成された第2ゲート電極と、前記第2ゲート電極の表面上から前記第1ゲート電極の上端部側面上まで連なるように形成されたシリサイド化合物と、前記第1ゲート電極の下方のチャネル領域を挟むように前記半導体基板あるいは半導体層の表層部に選択的に形成されたドレイン・ソース領域とを具備することを特徴とする。

【0057】この場合、上記トランジスタは、前記第1ゲート電極の側面にゲート側壁部が形成され、LDD構

造を有するものでもよい。

【0058】

【発明の効果】 上述したように本発明によれば、下層の第1ゲート電極と上層の第2ゲート電極とがシリサイド化合物により短絡接続された二層ゲート構造の絶縁ゲート型トランジスタを有することで、ゲート電極の抵抗成分を低減でき、動作の高速化が可能になり、製造工程数を抑制し、製造コストを低減し得る半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施例1に係る不揮発性メモリのセルアレイ領域のセルトランジスタおよび周辺回路領域の周辺トランジスタの形成工程の一例の一部を示す断面図。

【図2】 図1の工程に続く工程を示す断面図。

【図3】 本発明の実施例2に係る不揮発性メモリのセル

アレイ領域のセルトランジスタおよび周辺回路領域の周辺トランジスタを示す断面図。

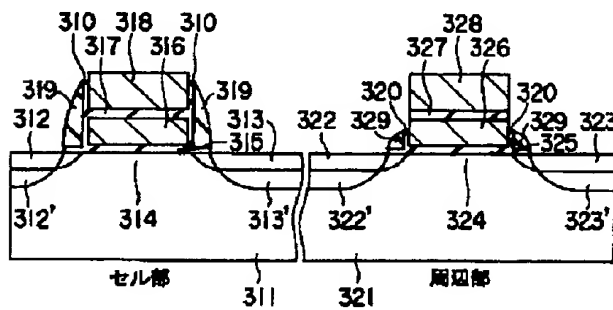
【図4】 不揮発性メモリにおけるセルアレイ領域のセルトランジスタおよび周辺回路領域の周辺トランジスタの従来例1を示す断面図。

【図5】 不揮発性メモリにおけるセルアレイ領域のセルトランジスタおよび周辺回路領域の周辺トランジスタの従来例2を示す断面図。

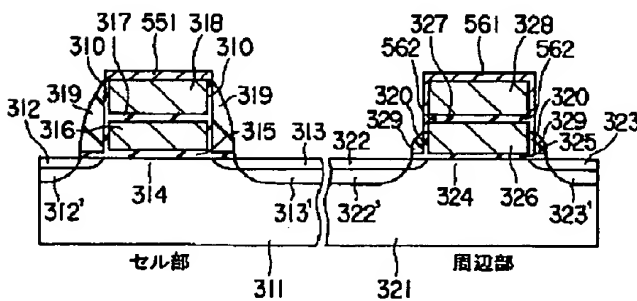
【符号の説明】

- 10 326 …第1ゲート電極、  
327 …第1層間絶縁膜、  
328 …第2ゲート電極、  
329 …SiN側壁部、  
322'、323' …ドレイン・ソース用の深い拡散層、  
461 …Tiシリサイド化合物。

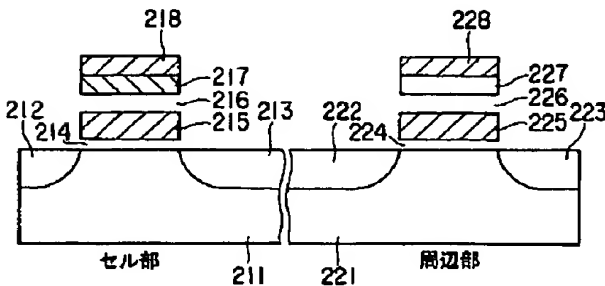
【図1】



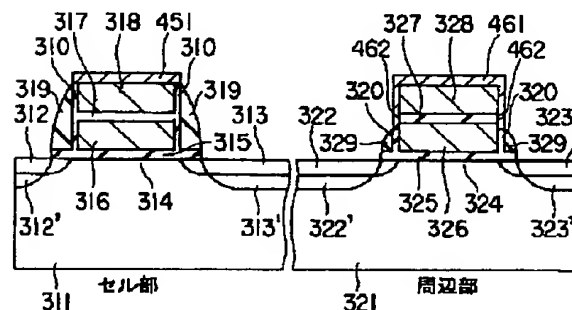
【図3】



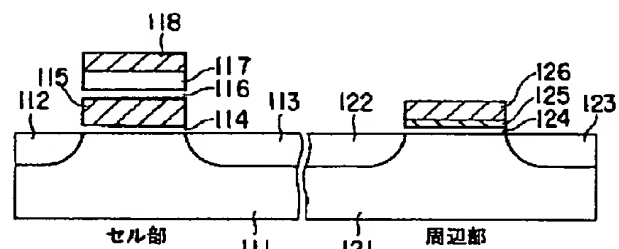
【図5】



【図2】



【図4】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB14 CC01 CC05  
DD02 DD08 DD16 DD19 DD64  
FF06 FF22 GG10 GG14 GG16  
HH13 HH20  
5F001 AA03 AA25 AB08 AD12 AD17  
AD61 AE50 AG21 AG29 AG30  
AG40  
5F083 EP02 EP23 EP63 GA02 GA28  
JA32 JA35 JA36 JA37 JA39  
JA40 JA53 MA04 MA05 MA06  
MA19 MA20 PR03 PR05 PR33  
PR43 PR44 PR45 PR53 PR54  
PR55 ZA01